

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

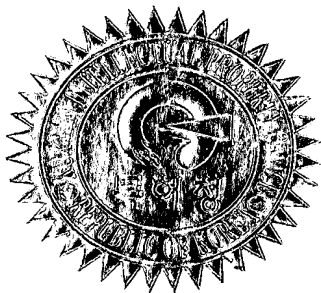
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0084234
Application Number

출원년월일 : 2002년 12월 26일
Date of Application DEC 26, 2002

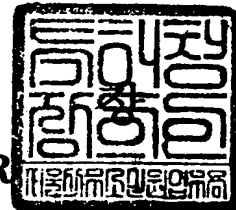
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2002. 12. 26
【발명의 명칭】	반도체소자 제조 방법
【발명의 영문명칭】	METHOD FOR FABRICATING SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	이성권
【성명의 영문표기】	LEE, Sung Kwon
【주민등록번호】	640301-1268621
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 현대7차아파트 706-1401
【국적】	KR
【발명자】	
【성명의 국문표기】	김상익
【성명의 영문표기】	KIM, Sang Ik
【주민등록번호】	571020-1162123
【우편번호】	463-480
【주소】	경기도 성남시 분당구 금곡동 청솔마을 유천화인아파트 203-1503
【국적】	KR
【발명자】	
【성명의 국문표기】	선준협
【성명의 영문표기】	SUN, Jun Hyeub

【주민등록번호】 701113-1058311
【우편번호】 150-795
【주소】 서울특별시 영등포구 여의도동 37 미성아파트 C동 1008호
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
 리인 특허법인 신
 성 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 1 면 1,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 30,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체소자 제조방법에 관한 것으로, 특히 로딩 캐패시턴스를 감소시켜 셀 캐패시턴스를 증가시킬 수 있는 반도체소자 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 기판 상에 제1도전막과 상기 제1도전막 상에 적층된 하스마스크 질화막을 구비하며 그 사이에 간격을 갖는 다수의 도전패턴 형성하는 단계; 상기 도전패턴이 형성된 전면에 평탄화된 층간절연막을 형성하는 단계; 습식 공정 또는 건식 공정을 통해 상기 층간절연막이 상기 하드마스크 질화막의 상단보다 낮은 높이가 되도록 리세스시키는 단계; 상기 층간절연막이 리세스된 전체 프로파일을 따라 식각정지막을 형성하는 단계; 상기 식각정지막과 상기 층간절연막을 선택적으로 식각하여 상기 간격 위의 상기 기판을 노출시키고 상기 각 도전패턴 위로 일부분 확장되는 셀프-얼라인 콘택홀을 형성하는 단계; 및 상기 셀프-얼라인 콘택홀을 제2도전막으로 매립하여 셀프-얼라인 콘택 구조를 형성하는 단계를 포함하는 반도체소자 제조 방법을 제공한다.

【대표도】

도 2f

【색인어】

로딩 캐패시턴스, 스토리지노드 콘택 플러그, 실리콘산화막, 실리콘질화막, 비트라인.

【명세서】

【발명의 명칭】

반도체소자 제조 방법 {METHOD FOR FABRICATING SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래기술에 따른 스토리지노드 콘택홀 형성 공정을 도시한 단면도.

도 2a 내지 도 2f는 본 발명의 일실시예에 따른 스토리지노드 콘택 플러그 형성 공정을 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

30 : 기판 31 : 불순물접합층

32, 34, 38 : 층간절연막 33, 42 : 플러그

35 : 확산방지막 36 : 비트라인용 금속막

37 : 하드마스크 질화막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체소자 제조방법에 관한 것으로 특히, 반도체 메모리 셀의 기생 캐패시턴스를 감소시킬 수 있는 반도체소자 제조방법에 관한 것이다.
- <9> 이하, 스토리지노드 콘택홀 형성 공정을 예로하여 종래기술의 문제점을 살펴 본다.
- <10> 도 1a 내지 도 1d는 종래기술에 따른 스토리지노드 콘택홀 형성 공정을 도시한 단면도이다.
- <11> 먼저, 워드라인(도시하지 않음), 불순물접합층(12) 등 반도체소자를 이루기 위한 여러 요소가 형성된 기판(11) 상에 층간절연막(13, 일명 워드라인 절연막)을 증착한 후, 층간절연막(13)을 선택적으로 식각하여 불순물접합층(12)을 노출시키는 콘택홀(도시하지 않음)을 형성한다.
- <12> 이어서, 콘택홀을 매립하며 노출된 불순물접합층(12)에 콘택되며 스토리지노드 및 비트라인 콘택을 위한 플러그(14)를 형성한다. 플러그(14) 물질은 폴리실리콘을 이용하는 것이 일반적이며, 최근에는 폴리실리콘 이외에 주로 확산방지막으로 사용되는 Ti/TiN 등의 배리어금속층과 텅스텐 등이 적층된 다층 구조를 사용하는 경우도 점차 늘고 있다.
- <13> 이어서, 후속 텅스텐 등의 비트라인용 금속막 증착시 사용되는 소스가스가 플러그(14)나 불순물접합층(12)과 반응하는 것을 억제하기 위해 통상의 Ti/TiN 구조를 갖는 확산방지막(15)을 플러그(14) 상에 형성하고, 계속해서 확산방지막(15) 상에 폴리실리콘,

텅스텐 등의 금속 또는 텅스텐질화막, 텅스텐실리사이드 등의 금속합금 박막을 사용하여 비트라인용 금속막(16)을 형성한다.

<14> 이어서, 금속막(16)과 후속 하드마스크로 주로 사용되는 질화막 사이에서 발생하기 쉬운 응력을 감소시키기 위해 USG(Undoped Silicate Glass)막 등을 이용하여 버퍼층(17)을 형성한다. 여기서, 버퍼층(17) 형성 공정은 생략이 가능하다.

<15> 버퍼층(17) 상에 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapor Deposition; 이하 PECVD라 함)방식 또는 저압화학기상증착(Low Pressure Chemical Vapor Deposition; 이하 LPCVD라 함)방식을 통해 하드마스크용 질화막(18)을 증착한다. 도 1a는 하드마스크용 질화막(18)이 증착된 상태를 나타낸다.

<16> 하드마스크용 질화막(18)은 실리콘산화질화막 또는 실리콘질화막 등의 통상의 질화막 계열의 물질을 포함한다.

<17> 도 1b에 도시된 바와 같이, 비트라인 식각마스크를 이용하여 하드마스크용 질화막(18)과 버퍼층(17)과 금속막(16) 및 확산방지막(15)을 선택적으로 식각하여 비트라인을 형성한다.

<18> 반도체소자의 집적도가 향상되어 포토레지스트를 이용한 패턴 형성 공정 자체의 마진과 오버레이의 정확도(Overlay accuracy)를 안정적으로 확보하기가 어렵게 됨에 따라 자기정렬콘택(Self Align Contact; 이하 SAC이라 함) 공정이 도입되었는 바, SAC 공정은 콘택홀(Contact hole) 등의 패턴을 형성함에 있어서 별도의 마스크를 사용하지 않고 이미 증착된 물질을 이용하여 식각을 하는 방식으로 비용 감소에 큰 역할을 한다. SAC 공정 자체는 여러가지 방법을 사용하고 있으나 대표적인 방법으로는 질화막을 식각정지막

으로 사용한다. 따라서, SAC 식각 공정은 게이트전극 또는 비트라인 등의 도전패턴 측벽과 상부를 질화막으로 감싼 후 산화막이 질화막에 비해 빠르게 식각되는 조건으로 절연층을 식각한다.

<19> 스토리지노드 콘택 형성 공정 또한 이러한 SAC 공정을 적용하므로, SAC 공정에 의한 비트라인의 손실을 방지하기 위해 비트라인이 형성된 전체 구조 상부에 질화막 계열의 식각정지막(19)을 증착한다.

<20> 도 1c는 비트라인 상부 및 측벽을 따라 식각정지막(19)이 형성된 단면 프로파일을 나타낸다.

<21> 이어서, 도 1d에 도시된 바와 같이, 식각정지막(19)이 형성된 전면에 층간절연막(21, 일명 비트라인 절연막)을 형성한다. 이 때, 층간절연막(21)으로 통상 저온의 USG막을 사용한다.

<22> 이어서, 층간절연막(21)이 하드마스크용 질화막(18) 상부에서 일정 두께 남도록 하는 타겟으로 화학적기계적연마(Chemical Mechanical Polishing; 이하 CMP라 함)를 실시하여 층간절연막(21)을 평탄화시킨 다음, 스토리지코드 콘택 형성을 위한 포토레지스트 패턴(22)을 형성하고, 포토레지스트 패턴(22)을 식각마스크로 층간절연막(21)과 식각정지막(19)을 차례로 식각하는 SAC 공정을 통해 비트라인 사이의 플러그(14) 표면을 노출시키는 콘택홀(23)을 형성한다.

<23> 이러한 콘택홀 형성 전에 콘택 형성시 오버랩 마진을 향상시키기 위해 보통 콘택 패드를 형성하는 공정을 부가적으로 실시하기도 하는 바, 여기서는 설명의 간략화를 위해 생략하였다.

- <24> SAC 공정 후의 대표적인 공정 단면에서는 도 1d에 도시된 것 처럼 질화막 계열의 식각정지막(19)이 SAC 식각 공정에서 식각되어 스페이서(20) 형상으로 남는다는 것이다.
- <25> 한편, 질화막의 대표적인 예인 실리콘질화막은 그 유전상수가 7.5로 산화막의 대표적인 예인 실리콘산화막의 3.9에 비해 유전율이 높은 단점이 있다.
- <26> 이는 SAC 공정에 의해 형성된 콘택홀을 이용한 플러그 구조를 반도체 메모리소자 예컨대, DRAM(Dynamic Random Access Memory)에 적용하여 캐패시터 콘택홀을 비트라인에 대한 SAC 공정으로 형성 즉, 비트라인 사이를 SAC 식각공정에 의해 식각하여 캐패시터 콘택홀을 형성할 경우, 비트라인과 캐패시터 콘택 플러그(원칙적으로 전하저장전극)을 실리콘산화막 등의 산화막으로 절연시키는 통상의 콘택구조에 비해 비트라인의 캐패시턴스를 증가시키는 바, 이는 기생 캐패시턴스(로딩 캐패시턴스)의 증가를 의미하며, 이로 인해 셀 캐패시턴스는 감소하게 된다.
- <27> 따라서, 이러한 SAC 프로파일을 얻으면서도 질화막에 따른 셀 캐패시턴스 감소를 최소화할 수 있는 공정의 확립이 시급한 실정이다.

【발명이 이루고자 하는 기술적 과제】

- <28> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 로딩 캐패시턴스를 감소시켜 셀 캐패시턴스를 증가시킬 수 있는 반도체소자 제조방법을 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

<29> 상기의 목적을 달성하기 위해 본 발명은, 기판 상에 제1도전막과 상기 제1도전막 상에 적층된 하스마스크 질화막을 구비하며, 그 사이에 간격을 갖는 다수의 도전패턴 형성하는 단계; 상기 도전패턴이 형성된 전면에 평탄화된 층간절연막을 형성하는 단계; 습식 공정 또는 건식 공정을 통해 상기 층간절연막이 상기 하스마스크 질화막의 상단보다 낮은 높이가 되도록 리세스시키는 단계; 상기 층간절연막이 리세스된 전체 프로파일을 따라 식각정지막을 형성하는 단계; 상기 식각정지막과 상기 층간절연막을 선택적으로 식각하여 상기 간격 위의 상기 기판을 노출시키고 상기 각 도전패턴 위로 일부분 확장되는 셀프-얼라인 콘택홀을 형성하는 단계; 및 상기 셀프-얼라인 콘택홀을 제2도전막으로 매립하여 셀프-얼라인 콘택 구조를 형성하는 단계를 포함하는 반도체소자 제조 방법을 제공한다.

<30> 본 발명은 비트라인 형성 후 층간절연막(비트라인 절연막)을 증착 및 평탄화 후 습식 제거 공정을 통해 비트라인 절연막의 상부가 비트라인 보다 낮은 높이가 되도록 한 후, 그 상부에 식각정지막을 형성하고 스토리지노드 콘택 형성을 위한 SAC 공정을 실시한다.

<31> 이로 인해, SAC 공정에 의해 질화막 계열인 식각정지막은 거의 대부분 제거되고 비트라인 사이의 하부의 플러그가 노출되는 콘택홀이 형성된다. 따라서, 종래와 같은 SAC 프로파일을 얻으면서도 비트라인 측벽에 스페이서 형태로 잔류하던 질화막 계열의 식각정지막을 제거할 수 있어, 질화막에 따른 로딩 캐패시턴스의 증가를 방지할 수 있으며, 이에 따라 셀 캐패시턴스를 증가시킬 수 있다.

- <32> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.
- <33> 도 2a 내지 도 2f는 본 발명의 일실시예에 따른 스토리지노드 콘택 플러그 형성 공정을 도시한 단면도이다.
- <34> 먼저, 워드라인(도시하지 않음), 불순물접합층(31) 등 반도체소자를 이루기 위한 여러 요소가 형성된 기판(30) 상에 층간절연막(32, 일명 워드라인 절연막)을 증착한 후, 층간절연막(32)을 선택적으로 식각하여 불순물접합층(31)을 노출시키는 콘택홀(도시하지 않음)을 형성한다.
- <35> 이어서, 콘택홀을 매립하며 노출된 불순물접합층(31)에 콘택되며 스토리지노드 및 비트라인 콘택을 위한 플러그(33)를 형성한다. 여기서, 플러그(33)는 비트라인 콘택 및 스토리지노드 콘택 등을 위해 기판(30)의 불순물접합층(31)과 콘택되는 통상의 랜딩 플러그 콘택(Landing plug contact)을 포함한다.
- <36> 플러그(33) 물질은 폴리실리콘을 이용하는 것이 일반적이며, 최근에는 폴리실리콘 이외에 주로 확산방지막으로 사용되는 Ti/TiN 등의 배리어금속층과 텅스텐 등이 적층된 다층 구조를 사용하는 경우도 점차 늘고 있다.
- <37> 이어서, 플러그(33) 상에 콘택 패드 등의 형성 공정을 실시하는 바, 이는 도면의 간략화를 위해 생략하며, 다만 층간절연막(34)을 형성하는 공정만 도시하였다.

- <38> 이어서, 후속 텅스텐 등의 비트라인용 금속막 증착시 사용되는 소스가스가 플러그(33)나 불순물접합층(31)과 반응하는 것을 억제하기 위해 통상의 Ti/TiN 구조를 갖는 확산방지막(35)을 층간절연막(34) 상에 형성하고, 계속해서 확산방지막(35) 상에 폴리실리콘, 텅스텐 등의 금속 또는 텅스텐질화막, 텅스텐실리사이드 등의 금속합금 박막을 사용하여 비트라인용 금속막(36)을 형성한다.
- <39> 확산방지막(35) 상에 PECVD 방식 또는 LPCVD 방식을 통해 하드마스크용 질화막(37)을 증착한다. 도 2a는 하드마스크용 질화막(37)이 증착된 상태를 나타낸다.
- <40> 하드마스크용 질화막(37)은 실리콘산화질화막 또는 실리콘질화막 등의 통상의 질화막 계열의 물질을 포함하며, 본 발명의 실시예에서는 하드마스크용 질화막(37)의 두께를 1000 Å ~ 5000 Å의 두께로 적용한 것을 나타낸다.
- <41> 한편, 금속막(36)과 후속 하드마스크로 주로 사용되는 질화막 사이에서 발생하기 쉬운 응력을 감소시키기 위해 USG막 등을 이용하여 버퍼층(도시하지 않음)을 형성하는 추가의 공정을 실시할 수도 있다.
- <42> 도 2b에 도시된 바와 같이, 비트라인 식각마스크를 이용하여 하드마스크용 질화막(37)과 금속막(36) 및 확산방지막(35)을 선택적으로 식각하여 질화막(37)과 금속막(36) 및 확산방지막(35)이 적층된 구조의 비트라인을 형성한다.
- <43> 비트라인이 형성된 전면에 층간절연막(38, 일명 비트라인 절연막)을 형성한다. 이때, 층간절연막(38)으로 BPSG(BoroPhospho Silicate Glass)막, HTO(High Temperature Oxide)막, MTO(Medium Temperature Oxide)막, HDP(High Density Plasma) 산화막,

TEOS(TetraOrthoOrtho Silicate)막 또는 APL(Advanced Planarization Layer)막 등을 사용할 수 있다.

<44> 이어서, 층간절연막(38)이 하드마스크용 질화막(37)과 실질적으로 동일한 높이가 되도록 하는 타겟으로 CMP를 실시하여 층간절연막(38)을 평탄화시킨 다음, BOE(Buffered Oxide Etchant) 또는 HF 등의 습식 용액을 이용한 습식 식각 공정을 통해 층간절연막(38)을 리세스(Recess)시키는 바, 도시된 'X'와 같이 하드마스크 질화막(37) 상부 보다 낮은 높이가 되도록 한다.

<45> 한편, 전술한 습식 식각 방식 이외에 건식 공정을 통해서도 가능하다.

<46> 본 실시예에서는 하드마스크 질화막(37) 상부로부터 300Å ~ 1500Å 정도의 깊이로 식각되도록 하였는 바, 도 2c는 층간절연막(38)이 리세스된 상태를 나타낸다.

<47> 이어서, 전술한 바와 같이 스토리지노드 콘택 형성에서 SAC 공정을 적용하므로, SAC 공정에 의한 비트라인의 손실을 방지하고 산화막 계열인 층간절연막(38)의 식각 선택비를 갖도록 위해 리세스된 층간절연막(38) 프로파일을 따라 질화막 계열의 식각정지막(39)을 증착한다.

<48> 이어서, 식각정지막(39) 상에 스토리지노드 콘택 형성을 포토레지스트 패턴(40)을 형성한다.

<49> 도 2d는 비트라인 상부 및 리세스된 층간절연막(38) 표면을 따라 식각정지막(39)이 형성되어 있으며, 그 상부에 포토레지스트 패턴(40)이 형성된 단면 프로파일을 나타낸다

- <50> 여기서, 식각정지막(39)은 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열의 물질을 이용하며, 그 두께는 50 Å ~ 500 Å 정도가 되도록 형성하는 것이 바람직하다.
- <51> 포토레지스트 패턴(40)을 식각마스크로 식각정지막(39)과 층간절연막 '38'과 '34'를 차례로 식각하는 SAC 공정을 통해 비트라인 사이의 플러그(33) 표면을 노출시키는 콘택홀(41)을 형성한다.
- <52> SAC 공정 후의 대표적인 공정 단면에서는 전술한 종래기술에서와 같이 질화막 계열의 식각정지막(39)이 SAC 식각 공정에서 식각되어 콘택홀(41) 측벽에 스페이서 형상으로 남아야 하나, 본 발명의 경우는 거의 남지 않는다.
- <53> 따라서, 원하는 식각 프로파일을 얻으면서도 식각정지막(39)이 콘택홀(41) 측벽에 잔류하지 않도록 그 두께와 식각 레시피를 적용되는 디자인 룰에 따라 적절하게 적용하는 것이 중요하다.
- <54> 도 2e는 스토리지노드 콘택홀(41)이 형성된 공정 단면을 도시한다.
- <55> 한편, 이러한 콘택홀 형성 전에 콘택 형성시 오버랩 마진을 향상시키기 위해 보통 콘택 패드를 형성하는 공정을 부가적으로 실시하기도 하는 바, 여기서는 설명의 간략화를 위해 생략하였다.
- <56> 콘택홀(41)을 매립하도록 스토리지노드 콘택 플러그용 전도성 물질을 증착한 다음, 층간절연막(38) 표면이 노출되는 식각 타겟으로 잔류하는 식각정지막(39)과 전도성 물질을 CMP 공정을 통해 제거하여 평탄화 및 격리된 스토리지노드 콘택 플러그를 형성한다.

- <57> 도 2f는 스토리지노드 콘택 플러그(42)가 비트라인 사이를 통해 하부의 플러그(33)와 도통되어 있는 공정 단면을 나타낸다.
- <58> 한편, 본 발명에서는 플러그(42)와 비트라인 사이에 종래의 질화막 계열의 물질에 비해 유전상수가 낮은 산화막 계열의 층간절연막(38)이 존재하게 된다. 이로 인해 플러그(42)와 비트라인 및 그 사이의 층간절연막(38)에 의해 구성되는 기생 캐패시터의 로딩 캐패시턴스가 감소하게 된다.
- <59> 이렇듯, 로딩 캐패시턴스를 줄일 수 있어 전체 셀 캐패시턴스의 상승이라는 효과를 기대할 수 있다.
- <60> 전술한 바와 같이 이루어지는 본 발명에서는, 비트라인 절연막 증착 후 평탄화 및 습식 식각 공정을 통해 비트라인 절연막의 높이를 비트라인 하드마스크의 상부에 비해 더 낮게 리세스시킨 후, 리세스된 단차를 갖는 프로파일에 질화막 계열의 식각정지막을 형성한 다음, SAC 공정을 통해 비트라인 사이에 스토리지노드 형성을 위한 콘택홀을 형성함으로써 비트라인 측벽에 질화막 계열의 식각정지막이 잔류하지 않도록 하여 후속 스토리지노드 콘택 플러그와 비트라인에 의해 형성되는 로딩 캐패시턴스를 감소시킬 수 있음을 실시예를 통해 알아 보았다.
- <61> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또

한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

<62> 예컨대, 스토리지노드 콘택 플러그 뿐만이 아니라 게이트전극 사이의 활성영역을 오픈시키는 공정 등 SAC 공정이 적용되는 모든 반도체 공정에 적용이 가능하다.

【발명의 효과】

<63> 상술한 바와 같은 본 발명은, 비트라인 등의 로딩 캐패시턴스를 감소시켜 셀 캐패시턴스를 향상시킬 수 있어 궁극적으로, 반도체소자의 성능을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

【특허청구범위】**【청구항 1】**

기판 상에 제1도전막과 상기 제1도전막 상에 적층된 하스마스크 질화막을 구비하며
그 사이에 간격을 갖는 다수의 도전패턴 형성하는 단계;

상기 도전패턴이 형성된 전면에 평탄화된 층간절연막을 형성하는 단계;

습식 공정 또는 건식 공정을 통해 상기 층간절연막이 상기 하스마스크 질화막의 상
단보다 낮은 높이가 되도록 리세스시키는 단계;

상기 층간절연막이 리세스된 전체 프로파일을 따라 식각정지막을 형성하는 단계;

상기 식각정지막과 상기 층간절연막을 선택적으로 식각하여 상기 간격 위의 상기
기판을 노출시키고 상기 각 도전패턴 위로 일부분 확장되는 셀프-얼라인 콘택홀을 형성
하는 단계; 및

상기 셀프-얼라인 콘택홀을 제2도전막으로 매립하여 셀프-얼라인 콘택 구조를 형
성하는 단계

를 포함하는 반도체소자 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 식각정지막은 질화막 계열이며, 50Å 내지 500Å의 두께로 형성하는 것을 특
징으로 하는 반도체소자 제조 방법.

【청구항 3】

제 2 항에 있어서,

상기 층가절연막은 산화막 계열인 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 4】

제 1 항에 있어서,

상기 하드마스크 질화막을 1000Å 내지 5000Å의 두께로 형성하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 5】

제 4 항에 있어서,

상기 층간절연막을 리세스시키는 단계에서, 상기 하드마스크 질화막의 상단으로부터 300Å 내지 1500Å 정도 낮도록 리세스시키는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 6】

제 5 항에 있어서,

상기 층간절연막은 BPSG(BoroPhospho Silicate Glass)막, HTO(High Temperature Oxide)막, MTO(Medium Temperature Oxide)막, HDP(High Density Plasma) 산화막,

TEOS(TetraOrthoOrtho Silicate)막 및 APL(Advanced Planarization Layer)막으로 이루어진 그룹으로부터 선택된 어느 하나의 막인 것을 특징으로 하는 반도체소자 제조 방법.

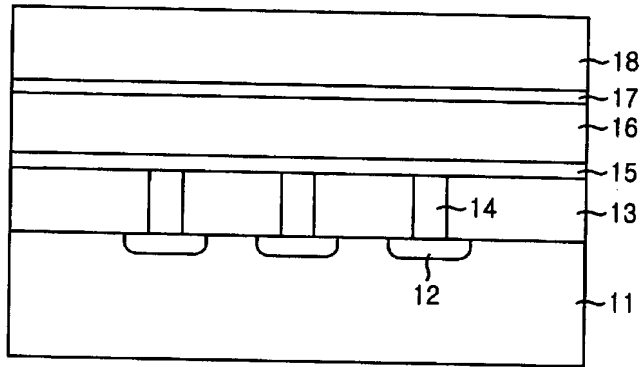
【청구항 7】

제 1 항에 있어서,

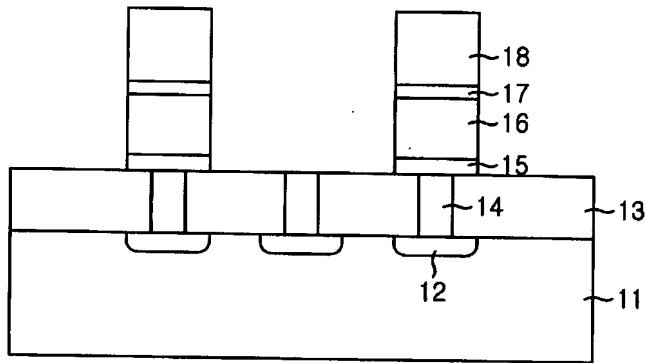
상기 제1도전막은 비트라인이며, 상기 제2도전막은 스토리지노드 콘택 플러그인 것을 특징으로 하는 반도체소자 제조 방법.

【도면】

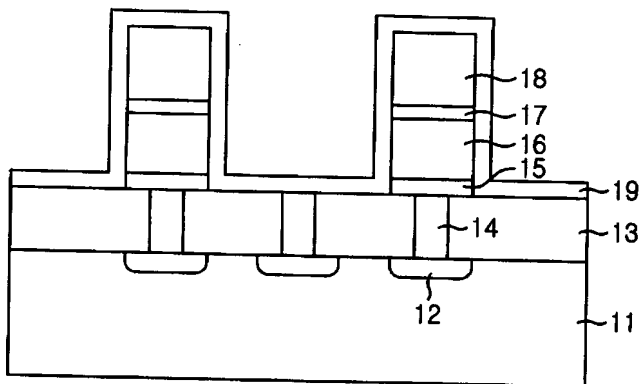
【도 1a】



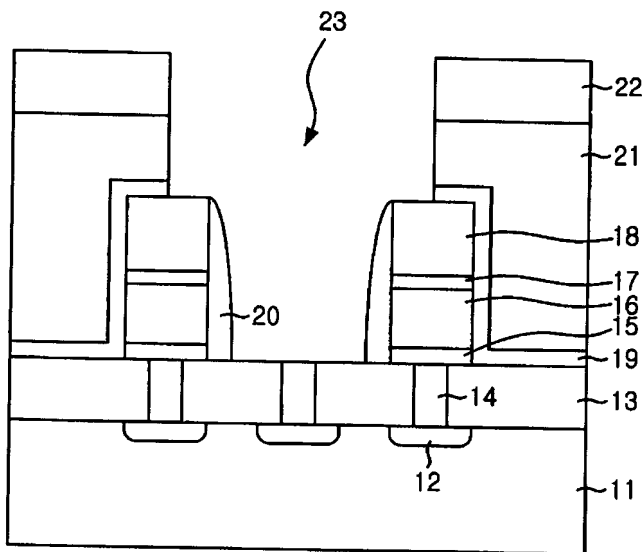
【도 1b】



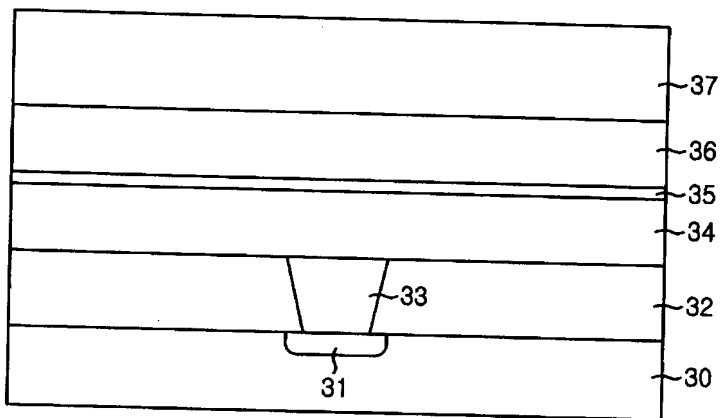
【도 1c】



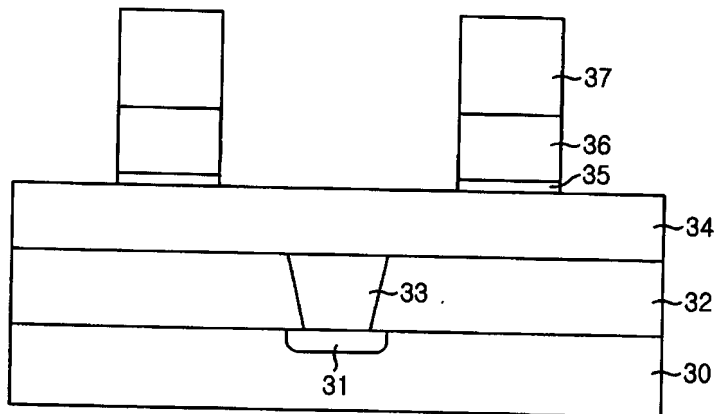
【도 1d】



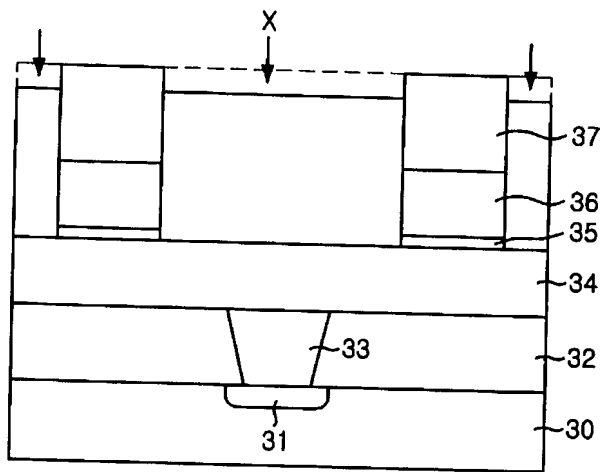
【도 2a】



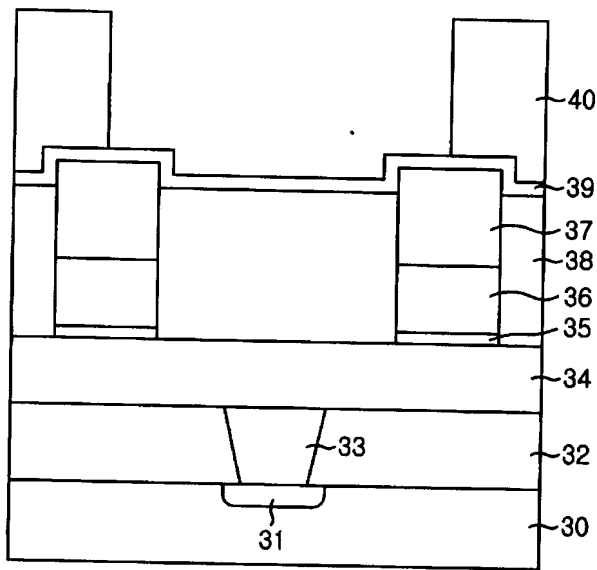
【도 2b】



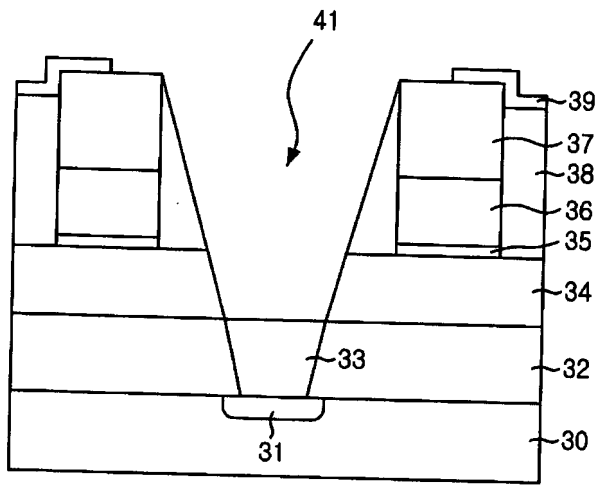
【도 2c】



【도 2d】



【도 2e】



【도 2f】

